

(57) Abstract

A system and method to eliminate the critical path in a processor-based system by sending a signal to transition the memory and I/O control unit to the read/write state before instruction decode completes up to the end. The decode stage of the operation code of the instructions, if it is made clear that the step of reading and writing in which the memory or I/O device must be accessed should be executed, the processor immediately sends a read/write request to the memory control unit and the I/O control unit before decoding the remaining part of the instruction. Once the remaining part of the instruction has been decoded, if it has been decided that the storage place that is accessed is in either the memory or the I/O device, cancellation processing occurs. In this cancellation processing, if the storage place that is accessed is within the memory, the I/O unit transitions from the read/write state to the idle state. However, if the access destination is the I/O device, the memory control unit transitions from the read/write state to the idle state.

(51)Int.CI.^{*} 認別記号 厅内整理番号
 G 06 F 9/38 3 5 0 2 9190-5B
 9/34 3 5 0 A 9189-5B
 12/00 5 6 0 C 9366-5B

F I

審査請求 未請求 予備審査請求 有 (全 10 頁)

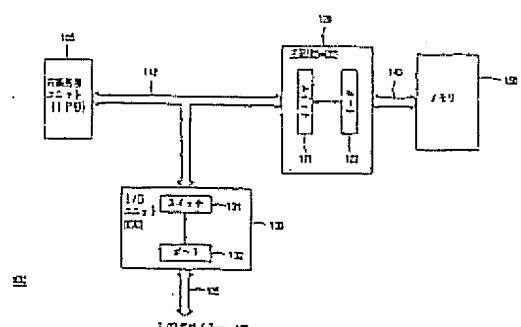
(21)出願番号 特願平5-515523
 (25) (22)出願日 平成5年(1993)3月2日
 (85)翻訳文提出日 平成6年(1994)9月2日
 (86)国際出願番号 PCT/JP93/00259
 (87)国際公開番号 WO93/18451
 (87)国際公開日 平成5年(1993)9月16日
 (31)優先権主張番号 846.231
 (32)優先日 1992年3月6日
 (33)優先権主張国 米国(US)
 (81)指定国 J P

(71)出願人 セイコーホームズ株式会社
 東京都新宿区西新宿2丁目4番1号
 (72)発明者 ミヤヤマ ヨシユキ
 アメリカ合衆国 95050 カリフォルニア
 州 サンタクララ、ランチョマクヨー
 ミック ブルバード 2171
 (72)発明者 タン テン-ロン
 アメリカ合衆国 95131 カリフォルニア
 州 サンホゼ、リビングウェイ 1915
 (74)代理人 弁理士 鈴木 喜三郎(外1名)

(54)【発明の名称】メモリ制御ユニット並びに入出力制御ユニットの動作におけるクリティカル・バスの削除

(57)【要約】

命令のデコードが最後まで完了してしまう前に、メモリやI/O制御ユニットを読み出し/書き込み状態に遷移するために信号を送ることによって、プロセッサ・ベースのシステムにおいてクリティカル・バスを削除するためのシステム並びに方法。命令の演算コードのデコード段階が、メモリまたはI/Oデバイスがアクセスされなければならない読み出し書き込みのステップが実行されるべきであることを明らかにすれば、プロセッサは、命令の残りの部分をデコードする前に、直ちに読み出し書き込み要求をメモリ制御ユニット及びI/O制御ユニットに送る。一旦命令の残りの部分がデコードされ、アクセスする記憶場所がメモリまたはI/Oデバイスのどちらかにあることが決定されれば、取消し処理が起る。この取消し処理において、アクセスする記憶場所がメモリ内ならば、I/Oユニットは読み出し書き込み状態からアイドル状態に遷移する。しかしながら、アクセスの宛先がI/Oデバイスなら、メモリ制御ユニットは読み出し書き込み状態からアイドル状態に遷移する。



請求の範囲

1. 読み出し／書き込み動作中にプロセッサ・ベースのシステムにおいてクリティカル・バスを削除する方法で、前記システムがメモリ制御ユニット(MCU)、入出力制御ユニット(IOU)、並びに命令寄合をそれぞれ1箇ずつ構成、前記方法が、

(a) 命令寄合から命令の第1の部分をコードするステップと、

(b) 前記の命令が読み出しと書き込みのうちの少なくとも1つを布じているか否かを決定するステップと、

(c) ステップ(b)で読み出しや書き込みを布じていることが確定されれば、読み出し／書き込み状態に入るために要求をMCUとIOUの両方に送るステップと、

(d) 読み出し／書き込み動作によってアクセスされるべきアドレスを決定するために命令の残りの部分をコードするステップと、

(e) アクセス対象のアドレスをコードするステップで、それは、そのアクセスの対象がメモリかI/Oアドレスかを決定するためにはMCUかIOUの少なくともどちらか一方によって実行されるコーディングであること、さらに、

(f) アクセス対象のアドレスをコードするステップで、それが前記の少なくとも2箇以上の寄合のうちのどれがアクセスされるべきかを決定するために少なくとも1箇以上の資源によって実行されるコーディングであること、さらに、

(g) 前記のデコードするステップ(e)によると結果に基づいて要求の残りの部分を取り消すステップと、

から成り立つことを特徴とする方法。

5. 前記ステップ(e)及び(f)が並列で実行されることを特徴とする請求項4記述の方法。

6. 前記のステップ(f)における要求が同時に送られることを特徴とする請求項4記述の方法。

7. 資源へのアクセス動作中にプロセッサ・ベースのシステムにおいてクリティカル・バスを削除するためのシステムで、前記システムが多箇の資源並びに1箇の命令発行を構成、さらに

(a) 命令寄合から命令の第1の部分をコードするための手段と、

(b) 前記の命令がアクセス動作を布じているか否かを決定するための手段と、

(c) ステップ(b)で資源へのアクセスが求められていることが確定すれば、読み出し／書き込み状態に入るためにMCUとIOUの両方に要求を送る手段であり、

(d) 前記のデコードするステップ(e)による結果に基づいてMCUやIOUに対する要求のうちの一つを取り消すステップと、

から成り立つことを特徴とする方法。

2. 前記ステップ(e)及び(f)が並列で実行されることを特徴とする請求項4記述の方法。

3. 前記ステップ(e)における要求が同時に送られることを特徴とする請求項4記述の方法。

4. 資源へのアクセス動作中にプロセッサ・ベースのシステムにおいてクリティカル・バスを削除する方法で、前記システムが多箇の資源並びに1箇の命令発行を構成、前記方法が、

(a) 命令発行から命令の第1の部分をコードするステップと、

(b) 前記命令がアクセス動作を布じているか否かを決定するステップと、

(c) ステップ(b)で資源へのアクセスが求められていることが確定すれば、アクセス状態に入るために少なくとも2箇以上の資源に要求を送る手段と、

(d) アクセスされるべきアドレスを決定するために命令の残りの部分をコードするステップと、

とともに2箇の資源に要求を送る手段と、

(e) アクセス対象のアドレスを決定するために命令の残りの部分をコードする手段と、

(f) アクセス対象のアドレスをデコードする手段で、それはコーディングが前記の少なくとも2箇の資源のうちのどれがアクセスされるべきか決定するために少なくとも1箇以上の資源によって実行されるコーディングであること、さらに、

(g) 前記のデコードするステップ(e)による結果に基づいて要求の残りの部分を取り消すための手段と、

から成り立つことを特徴とするシステム。

8. 決定の前記手段が、前記命令が読み出し及び書き込み動作の少なくともどちらか1つを布じているかどうかを決定する手段であり、

該手段の前記手段が、ステップ(b)において読み出しや書き込みが求められていることが確定すれば、読み出し／書き込み状態に入るためにMCUとIOUの両方に要求を送る手段であり、

命令の残りの部分をデコードするための前記手段が、読み出しや書き込み動作によってアクセスされるべきアドレスを決定するために、命令の残りの部分をデコードするための手段であり、

アドレスをアコードするための前記手段がアクセス対象のアドレスをアコードするための手段であり、それはアクセスの対象がメモリかI/Oデバイスかを決定するためにMCUまたはIOUが少なくともどちらか一方によって実行されるデコーディングであること、さらに、

前記手段がアドレスをアコードするための前記手段によると精査に基づいてMCUとI/Oへの前記手段の一つを取り出すための手段であることを特徴とする請求記載のシステム。

明細書

説明の各章

メモリ制御ユニット主ひに入出力制御ユニットの

動作に当けるクリティカル・バスの削除

(Elimination of the Critical Path in Memory Control Unit
and Input/Output Control Unit Operations)

各章の冒頭

1. 定義上の利用分野

本発明は一般的にはマイクロプロセッサ・ベースのシステムの分野に属し、より具体的には、少なくとも2つ以上のサブシステムに読み出し／書き込み(READ/WRITE)要求を同時に生じ、引き算いて不要を要求を取り消すためのシステム並びに方法に関する。

2. 關連技術

昇進的なコンピュータ・ベースのマイクロプロセッサ・システムは、3大サブシステムから成り立っている。それらは、印、1個の主記憶、少なくとも1台以上の内蔵処理ユニット(IPU)、そして1つの入出力(I/O)サブシ

ステムである。従来のマイクロプロセッサ・ベースのシステムの中には、性能を上げるためにバイブライイン方式として知られる方法を用うるものがある。バイブライイン処理では、命令実行の組みなステップ(例えば、フェッチ、デコード、及び実行)はバイブルайн・ステージと呼ばれる独立した並列によって実行される。そのステップは、プロセッサが一度に少なくとも2つ以上の命令を処理できるように、組みなステージで並列で実行される。

バイブルайнのスループットは、どの位の強度で2つの命令がバイブルайнから出る(emit)かによって決定される。バイブルайн・ステージは相互につながっているから、全てのステージが同時に進行するように準備されていなければならぬ。しかしながら、実際には、フェッチ、デコード、実行のステージの中には他に比べて時間がかかるものもある。そのためには、其の並列性が実行されているとは言えない。1サイクル時間に割り当たられも最短時間は最長ステップを実行するのに掛かる時間である。或いは、そのステップを複数のサイクル時間で実行することもある。いずれの場合でも、システムの強度は最長ステップによって掛けられる。

バイブルайн方式の詳細については、Hennerry著者の「Computer Architecture: A Quantitative Approach」(Morgan Kaufmann出版社、1990)を参照のこと。

ソース・プログラムの動作中、IFUは主記憶もしくはI/O空間のデータにアクセスする必要になる。開

して、IPUは、プロセッサのサイクル時間が数十ナノ秒の、マイクロプロセッサ・ベースのシステムで最も遅い要素である。その一方、主記憶やI/Oデバイスのサイクル時間は数百ナノ秒である。従って、マイクロプロセッサの性能を削減する要因の一つはメモリ・アクセスの速度ということになる。

従来のシステムにおいては、命令アコードの初期の段階から、プロセッサはI/Oまたはメモリへのアクセスが起きるかどうかわかっている。しかしながら、命令が独立して完全にアコードされるまで、アクセス対象が主記憶なのかそれともI/Oなのかシステムは決定できない。従来のシステムでは、読み出し／書き込み状態に遷移するためのコマンドをメモリ制御ユニット(MCU)またはI/O制御ユニット(IOU)に送る前に、OPCODE(操作コード)及びレジスター、アドレス部分を含む命令全体をアコードする。言い換えれば、従来のシステムはこうした処理を直次に実行し、命令の完全なアコードのステップと、MCUまたはIOUを読み出し／書き込み状態に遷移するステップは「クリティカル・バス」上にある。その結果、従来のシステムは、メモリやI/Oデバイスに実際にはアクセスするという時間のかかるステップに入る前に、命令を最後までアコードし終わらぬまま待つ時間を消費しているのである。

昇進的なクロッキング動作に当いて、システム・クロックにはスレーブ状態として知られる状態がある。

MCUやIOUなどのスレーブ・デバイスが、読み出し／書き込みなどの動作を実行するためにバスへのアクセスが許可されるのは、このスレーブ状態の間だけである。戻って、クロックのサイクル時間は、アクセス対象のデバイスがそのスレーブ・サイクルに間に合うように読み出し／書き込み試験に入れるよう、クリティカル・バス上の全ての処理が実行されるのに十分な量までなければならない。クリティカル・バス上の処理が全てその時間内では実行しきれないようクロックのサイクル時間が規制されていれば、読み出し／書き込み動作は今度のスレーブ・サイクルに間に合わず、その次のスレーブ・サイクルまでさらにも1クロック周期待たなければならぬ。戻って、必要なのは、アクセス対象の資源のアドレスがデコードされるのを待たず、OPCODEがデコードされ読み出力プロセッサが直ちにメモリに対し読み出しされ書き込み要求を出せるようにするシステム並びに方法である。こうすることによって、読み出し／書き込み要求をクリティカル・バスからバテレス・バスに移すことによってクリティカル・バスの足枷が緩和される。この方法で、システムのクロック・レートが定まり、メモリ及びI/Oサブシステムの実際レイテンシが短縮される。

祖先のデコードでメモリがアクセス対象であったことが明らかになると、IOUはアイドル状態に戻る。一方、祖先のデコードでI/Oデバイスがアクセス対象であったことが明らかになれば、MCUはアイドル状態に戻る。

発明の概要

本発明はプロセッサ・ベースのシステムにおけるクリティカル・バスを防護するためのシステム並びに方法を提供するものである。本発明に基づく技術においては、命令の讀出コードがデコードされ、その讀出コードがシステム・メモリまたはI/Oデバイスにアクセスを有じる動作を行ひ出すると、読み出し・書き込み要求が直ちにプロセッサ・ベースのシステムのメモリ制御ユニットMCUと入出力制御ユニットIOUの双方に送られる。プロセッサが命令の読み出し部分をデコードする前にこの読み出し・書き込み要求は送られるため、現在のクロックが其の直前にMCUとIOUがアイドル状態から読み出し・書き込み状態に遷移することが可能となる。

この技術によって、サイクル時間は、プロセッサが現在の命令をデコードするのにかかる合計時間のみに抑えられるようになる。さらに時間を追加することなく現在のクロック・サイクル時間内で、MCU並びにIOUは読み出し・書き込み状態に遷移できる。それは何故ならば、MCUとIOUは既にその状態に入っているからである。

命令が最終まで読み出され、メモリ・アクセスまたはI/Oアクセス用のアドレスが計算され、さらにMCUまたはIOUの宛先がデコードされたら、取消し処理が起る。取消し処理では、MCUまたはIOUのいずれかが読み出し・書き込み状態からアイドル状態に戻される。

図面の説明

本発明については後の特許請求の範囲で具体的に説明されている。そこで述べたさらにそれ以外の本発明の優れた点については、添付の図説と共に以下に記述する説明を参照することによってより理解が深まるであろう。

第1図は本発明に基づくシステム・アーキテクチャ100の概略ブロック図である。

第2図はシステムのメモリ・マップである。

第3A図は典型的な命令フォーマットを図示したものである。

第3B図は、2倍のレジストに対する1つの算算の結果を使って1つのアドレスが計算される典型的な命令フォーマットを図示したものである。

第4図はクリティカル・バス上の全ての算算の結果を含む典型的なシステムの状態遷移の流れを示す図である。

第5図は本発明の技術に基づく例を示す状態図である。

第6図は本発明によるIOUの取消し手続のためのタイミング図である。

第7図は本発明の技術を示す状態図である。

図2

第1回は半易用が適用できるアーキテクチャを代表する、マイクロプロセッサのアーキテクチャ100の構成を示したものである。第1回において、半易用の特徴を実現例に基づいて、100と指定されたマイクロプロセッサ・システムのアーキテクチャが表示されている。システム・アーキテクチャ100は、内蔵プロセッサ・ユニット(IPU)105、メモリ別構ユニット(MCU)120、I/O別構ユニット(IOU)130、主記憶150、及び外部I/Oアドレス160から成る。

主記憶150は、好適な実現例においては、32ビット幅のメモリ・バス140によってMCU120に接続されている。同様に、I/Oアドレス160は、好適な実現例においては、32ビット幅の外部I/Oバス135によってIOU130に接続されている。

MCU120はIPU105と主記憶150間に読み出し書き込み動作を制御する回路である。半易用に基づく好適な実現例におけるMCU120は、スイッチ・ネットワーク121及びポート122から成っている。半易用に基づく好適な実現例においてはポート122は1度だけしか示されていないが、半易用に基づく好適な実現例は複数のポート122を備えている。

また、IPU105とポート122の要求を調整する手段としても使用される。ポート122(半易用または複数)は、I/Oアドレス160にデータを送り、且つそこからデータを受け取る役目を果たす。

第2回はシステム・メモリの構成を示したものである。好適な実現例において、メモリ構成は2領域に分割されている。I/Oバス領域210とメモリ・バス領域220がある。この構成の結果、システムは主記憶150とI/Oアドレス160の両方にに対する読み出し書き込み動作を要求することができるようになる。読み出しだけは書き込みの動作を含む命令は各々、システムのメモリ・マップ200上に存在可能なアドレスを有することになる。

半易用に基づく好適な実現例において、命令処理はコスティージのバイオブティンに分割されている。その3ステップとは、フェッチ、アコード、実行である。最初、命令はIPU105によってメモリからウェッチャれる。その後、命令は表示された機能(例えば、加算、減算、倍乗)を実現するためにデコードされる。各自且つ最後に、そのデコードされた命令はその機能の通りに実行される。

命令をコード化している時、レジスタ数及びアドレス指定モード数は共に命令サイズに大きな影響を及ぼす。これはアドレス指定モードのフィールドとレジスター・フィールドが1つの命令の中で何度も現われることがあるからである。事實、ほとんどの命令が、複数コードの指定よ

りスイッチ・ネットワーク121はMCU120とIPU105間の通信インターフェースを可能にする。スイッチ・ネットワーク121はまた、ポート122の要求を調整する手段としても使用される。ポート122(半易用または複数)は、主記憶150にデータを送り、且つそこからデータを受け取る役目を果たす。

スイッチ・ネットワーク121の機能は、IPU105及びIOU130からの様々な命令主機にデータ要求を受け取ることである。IPU105及びIOU130はメモリ要求者と呼ばれることがある。要求を受け取り調整した後には、要求は対応するメモリ・バス122に送られる。対応するポート122の設定は命令アドレスの履歴によってなされる。ポート122(半易用または複数)は次に必要なタイミング信号を生成し、外部メモリ150のアドレス指定された部分にデータを送りか、またはそこからデータを受け取るかする。

IOU130はIPU105とI/Oアドレス160間に読み出し書き込み動作を制御する回路である。半易用に基づく好適な実現例におけるIOU130は、スイッチ・ネットワーク131及びポート132から成っている。半易用に基づく好適な実現例においてはポート132は1度だけしか示されていないが、半易用に基づく好適な実現例は複数のポート132を備えている。MPUの場合と同様に、IOU130のスイッチ・ネットワーク131はIOU130とIPU105間の通信インターフェースを可能にする。スイッチ・ネットワーク131

リモアドレス指定モードやレジスター・フィールドのコード化に余計にビットをとられている。このように、アドレス指定モードとレジスター・フィールドが合計ビットの大きな割合を占めるため、それらのコード化はいかに簡単に命令のデコードを実現できるかに大きく影響している。

命令は幾つかのセクションに分割されることが多い。第3回は命令の一例とその構成要素を示すものである。第3回において、命令300はOPCODE310を含んでいて、OPCODE310は、一旦デコードされれば、どのオペレーションを実行すべきかプロセッサに伝える。オペレーションにはADD(加算)、COMPARE(比較)、CLEAR(クリア)などの算術演算、BRANCH(分岐)やJUMP(飛び出し)などの制御動作、RETURN FROM INTERRUPT(取り込みからの戻り)などの中のシステム動作、並びにMOVE(移動)やPUSH(プッシュ)などのデータ送受動作などがある。

レジスター・メモリさらにI/Oアドレスのいずれかのアドレスは、命令に応じて、プロセッサにどの記憶場所に対してオペレーションを行なうべきか伝えるために、命令の中に包含されている。これらは記憶場所320、330で命令にコード化される。例えば、OPCODE310がADDの演算を行なうようにプロセッサに命令すれば、プロセッサは、加算対象の値を含むアドレスを決定するため、記憶場所320と330を見に行きそこに入っている構成を

アコードする（直後アドレス指定の場合）。

命令300の実際のフォーマットはシステム・アーキテクチャによって異なる。どうすれば本説明に基づく処理が他の命令フォーマットに適用できるかは各自には明らかになるであろう。

第15回はもう少し複雑なアーキテクチャ用の命令フォーマットを示したものである。第15回におけるOPCODE310は、第3回に示したフォーマットにおいて説明したのと同じオペレーションを行なうよう、プロセッサに命令することができる。しかしながら、ここでは、アドレスの割りが異なる。このフォーマットでは、最初のアドレスは2つのアドレスをアコードし算算することによって計算される。最初のアドレスを計算するために、プロセッサはRindex340とRbase350をアコードする。実際のアドレスを決定するにはこれらの記憶域における最初に対し波紋が行なわれる（この場合、命令される）。このダイヤグラムは多段のプログラミングに有用である。2番目のアドレスを計算する必要がある場合、記憶場所Raddress360における値がアコードされるだけである。

バイオラインの命令アコード部分は数つかの段階に分類される。命令のそれぞれ異なる部分、即ち、OPCODE310、Rindex340、Rbase350、Raddress360は個々を順序でアコードすることができる。従って、プロセッサは、命令の残りの部分に先行してOPCODE310を

先にアコードすることができる。一旦命令のOPCODE310部分がアコードされれば、プロセッサは命令がどんな動作を発していくかわかる。

従って、例えば、命令は命令または比較であるとアコードされたOPCODE310がIPU103に伝えれば、プロセッサは現行対象の値に他の記憶場所からアクセスしなければならないことを知る。即ち即時と第16回において、既存のシステム用の典型的なシナリオについて説明している。命令はチェックされ、OPCODE310がアコードされると、OPCODE310がプロセッサにロード／格納動作を実行するよう命令すれば、IPU103は格納対象の値の他の記憶場所を確定するためにRaddress360をアコードする。IPU103は次にRindex340とRbase350をアコードする。一旦アコードされれば、Rindex340とRbase350はデータの仕組アドレスを計算するために加算器に送られる。その後に、この組合アドレスはアコードされたMCU120またはIOU130に送られる。アコードされたら、MCU120またはIOU130のいずれか読み出し／書き込みを実行すべき方が、読み出し／書き込み状態に遷移される。しかしながら、こうした過程を全て直次に実行し、しかも今度のスレーブ・クロック・フェーズに間に合うようにそれに対応するユニットを読み出し／書き込み状態に遷移させるには、現在のクロック・フェーズ内では時間的に十分とはいえない場合がある。スレーブ・クロック・フェーズはその期間中読み出し／書き込

み動作が発生しうる唯一のフェーズであるから。最初のスレーブ・フェーズに間に合わなければ、そのシステムは次のスレーブ・フェーズまでクロック期間を生き残らなければならない。従って、これらの処理は全て逐次に実行され、それを高遅クロック・レートでは直列の組み合わせ時間はすぐ次に其とスレーブ・フェーズに間に合わない原因となるから、クリティカル・バスが存在しているということになる。直いは、バス上の全てのフェーズが完了するよう、システム・クロックのサイクル時間が増えなければならぬ。しかしながら、この代替案は、処理を遅くすることになるから、異常しい問題解決とは言えない。

第4回は従来のシステムに関する上記のロード／格納のシナリオに基づくタイミング図並びに代碼を示すものである。下記の動作時間は即として記述するものである。即ち、他のマシンでは命令処理との順序で演算時間は異なってくる。第4回に示して、第1クロック時間T0T1で、ロード／専用命令がフェッチされる。第2クロック時間T2/T3で、命令がアコードされる。即ちOPCODE310がアコードされ、その後Raddress360、Rindex340、さらにはRbase350がアコードされる。Rindex340及びRbase350はT3のクロック・フェーズでアコードされる。この処理はおよそ8ナノ秒かかり、クロック410で示されている。この過程が完了すると、アドレス計算が行われる。この計算に要する時間はプロセ

ク420に示すように1ナノ秒である。アドレス計算実行後に、アドレスはMCU120もしくはIOU130によってアコードされなければならない。ロック430で示した、このアコードイングは4から5ナノ秒かかる。従って、命令のアコードイングにかかる時間は合計で20ナノ秒である。

アドレスがロック410でアコードされた後、MCU120またはIOU130のいずれか対応する割りユニットは、次のスレーブ状態より間に読み出し／書き込み状態に入らなければならぬ。第4回において、T4、T5などはスレーブ状態、即ち、メモリやI/Oの読み出し／書き込みが起きる唯一の状態である。命令とアドレスのアコードイング動作がその前のT3でクロック時間の20ナノ秒を消費し、且つ我々は今度のスレーブ・フェーズT4で読み出し／書き込みが起きるようにしたいため、クロック・フェーズの時間は20ナノ秒よりも長くなければならない。20ナノ秒を越えてさらに要する時間はMCU120またはIOU130の対応する割りユニットが読み出し／書き込み状態に遷移するのにかかる時間である。そのフェーズの時間が足りなければ、MCU120またはIOU130はT4のクロック・フェーズに間に合うように読み出し／書き込み状態に入ることができず、クリティカル・バスが存在し、さらにシステムは読み出し／書き込み動作を実行するためにはT6のクロック・フェーズにまで倍なければならない。しかるに、従来のシステムの次段は、命令アコード動作及びメモリまたはI/Oオペ

スの込み出し／書き込み状態への遷移が正常起こり、且つ高品質なクロック・レートではクリティカル・パスを形成することである。その結果、クロック・ティックが時間の増加（クロック・レートの低下）を招いたり、その時間込み出し／書き込み動作を延長しなければならない「時間の無駄使い」のクロック周間に居ることになる。この後者の結果は、倍音はさらにドクロック・ケイクル付なないと、即ち次のサイクルラインまで、実行完了しないということである。

易經

本発明では、アドレス・データード動作に先行してMCU110とI0U130を読み出し／書き込み状態に遷移することによって、このクリティカル・バスの欠損を割離する。言い換えれば、アイドル状態から読み出し／書き込み状態への遷移のステップがクリティカル・バスから取り除かれるということである。第5図は本発明に係る動作を図示したタイミング及び状態の図である。第10並びに5図において、アコードされたOPCODE310がメモリまたはI0Uアバイスに対する読み出し／書き込み操作が起きたければならないことを示していれば、IPU103の読み出し／書き込み要求320はOPCODE310のオコード後直ちにMCU120並びにI0U130に並列で送られる。IPU103は暫くレジスタがオコードされるまで待つこと

はしない。この方法では、命令の抜き差し部分がアコードされている間に、MCU120及びI/OU130はT3のクロック時間中にアイドル状態を10から脱し、読み出し／書き込み状態に入る。従って、読み出し／書き込み状態に遷移する動作は遅延ではなくなるから、システムはT6のフェーズ発生まで待たされることなくなる。即ち、クリティカル・バスがなくなる。キモ、MCU120及びI/OU130は、スレーブのクロック・フェーズT4誕生より常に読み出し／書き込み状態を10に入っている。

この観念は、従来のシステムについて元に表現したものと同じタイミングの数字を使って表示することができる。例えば、レジスターのアコーディング、アドレス計算からアドレスのアコーディングに要する時間が20ナノ秒以下ならば、遅延20ナノ秒のクロックを走るシステムではクリティカル・パスは存在しない。それは逆をならば、IOU110及UMCU120はT4の発生以前に既に読み出しへ書き込み状態に入っているからである。

先がアコードされ、MCU120と10U130のどちらが位置をのが分かれれば、10Uの取消し信号560が生成され、送信不正の検出コードを立て直す操作に切り替わる。

月が送り込まれる5回において、OPCODE310のコードは、ブロック310で示すように、T2, T3のクロック周波の初期に発生する。このコードが完了し次第直ちに、IPUの読み出し／書き込み装置320がMCU120とMCU130に送られる。装置320はMCU120を読み出し／

書き込み状態530Aに、100J100E読み出し／書き込み状態530Bにすむ。読み出し／書き込み状態530Dと共に丁度のスレーブ・カロット・フェーズ中の應用に助けてある。尚且に常に発生している。

読み出し書き込み要求と同時に、命令の通りの部分が、対応するアドレスを宛元するためにアコードされ、Rindex340よりRbase330のアコーディングはプロトコル312に準ずる形である。アクセス対象のアドレスの計算、即ちRindex340のRbase330への加算はプロトコル314で示す通りである。

結果ネットMCU110または10U110の一方が読み出し／書き込み動作を実行し、他方はしない。プロトクル550に示すように、アドレス・コードが起きるまでどちらがどちらなのか不明である。アドレス・コードが発生しあえすれば、10Uの読み出し信号560が生成され、花って読み出し／書き込み動作を行っていないユニットを取り扱す。このユニットはアイドル状態540に居る。

第3回に示した例に且いて、アクセス対象のアドレスは、たまたまメモリ内に存在している。従って、そのアドレスがデコードされると、I/Oデバイスはアクセスされるべきでないことが分かる。次に取扱い信号560が生成され、10U110はアイドル状態540Bに戻る。MCU120は読み出し／書き込み状態530Aのままで、メモリ・アクセスが発生する。

評議会議長に就いて、MCU120はIPU103に上々

て用意されたアドレスをアコードする。アドレスがアコードされ、アドレスがタモリ150と170/160のどちらに届けられているかが判明すれば、MCU120は自分の登み出し／書き込み要求を取り消しアイドル状態140Aに戻るか、もしくは豆削し信号を10U130に送るかのいずれかを行なう。このアドレス・アコードはMCU120または10U130のいずれか、あるいはその両方によって実行されることはあるも、ということは当然で付帯的アドレスとし

半島側に基づく往復のタイミング図を第5図に示す通りである。第5図において、IPU_REQ信号S20はMCU120及びIOU130の両方に送られる。MCU120は許可信号S10Aに応答し、IOU130は許可信号S10Bに応答する。MCU120とIOU130と共に、MCU_STATE610A及びIOU_STATE620Bが示すように、読み出し/書き込み状態にある。一旦アドレスがアコードされれば、MCU120またはIOU130のいずれか不正のニットを取引終了のために、MCU/IOU_CANCEL信号が生成される。第6図はIOU130が不正で、従ってIOU_STATE620Bがアイドル状態に戻るケースを示したものである。

第7回はMCU120とIGU130の状態を示すものであ
る。前述の2回において、並列し複数プロックを生産す
るために使われる状態マシンが示されている。並列し複
数はMCU120にIGU130にもある。T1でIPU103から
の読み出しノードを込み深さ倍数を生産すると、そのつづ
く状態マシンは同時に動作を開始する。次の段落(1)と

現在アコード進行中の命令に添付されたメモリ内のアドレス) のアコード値、その動作を取り消すために、MCU120またはIOU130のいずれかが、T₁でスイッチ125をしくはスイッチ133からそれぞれ取扱し信号を生成する。要求が取り消されれば、取り消された開閉ユニットはアイドル状態に戻る。要求が取り消されなければ、制御ユニットは対応するメモリの危険場所にアクセスし始める。

取扱し信号は命令の第11番目のビットを検査することによってトリガされる。そのビットがゼロであれば要求は主記憶に対するもので、そのビットが1ならその要求はI/Oデバイスに対するものである。第2図に示すように、アドレスが0000_0000と03FF_FFFFの間にあれば、そのアドレスはメモリにアクセスする。しかしながら、アドレスがFF80_FFFFとFFFF_FFFFの間にあれば、I/Oにアクセスする。迂回を実施するに当て、他の領域は全て守約されている。本発明において特に多段のメモリ・マップが使用できるということが当業者には明確である。

再び第2図において、迂回を実施して、MCU120がアドレスをアコードすると、そのアドレスが予約領域230の1ヶ所に宿してられているかどうかが検定される。予約領域230の1ヶ所に宿していれば、IOU130及びMCU120に対する読み出し／書き込みは共に取り消される。

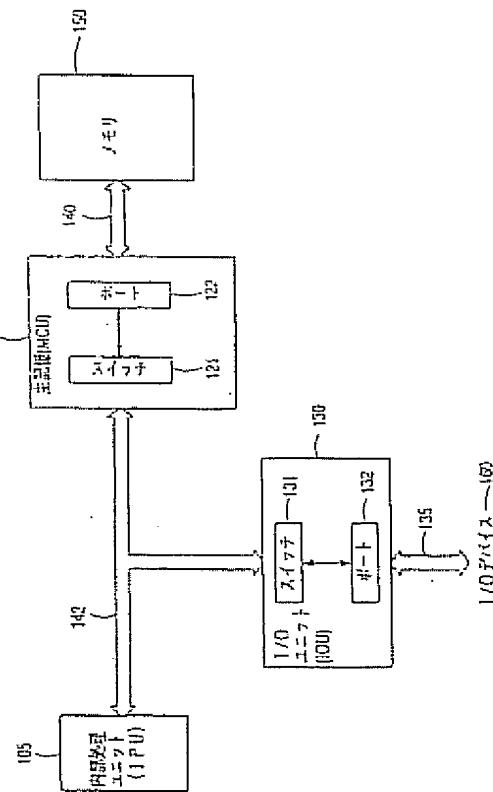
図2

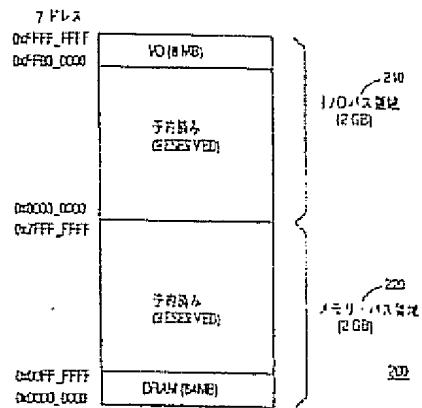
従って、本発明はシステムのクロック・レートを定めることができる技術を提供するものである。OPCODEがアコードされ、読み出しもしくは書き込みの動作が呼び出されることを示していれば、直ちに読み出し／書き込み装置に信号するようにメモリ及びI/Oユニットに命令を送ることによってクロック・レートは運営され、かくしてクリティカル・バスから装置運営時間が取りがかれること。

本発明について好適な実施例を挙げて具体的に説明をしてきたが、本発明の範囲並びに適用範囲から外れることなく形状及び構成において様々な変更が可能であることが当業者には理解されることであろう。

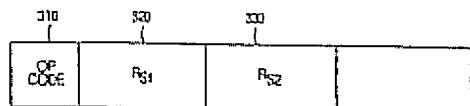
但を差ければ、本発明に基づく技術は本明細書に記載のMCUやIOU以外の資源デバイスを使ってシステムで実行することが可能であり、且つ本発明による技術は多段の資源デバイスを包含するシステムに適用することができる。

この発明を実行する際には、トレードオフがある。MCU120及びIOU130の片方が読み出し／書き込みモードにならざるに要求される時でも、MCU120及びIOU130は共に、読み出し／書き込みモードになら消費電力が増加する。高速クロック・レートにすることによってシステムの性能を上げれば、ほとんどのアプリケーションでこの消費電力の増加は指摘される。

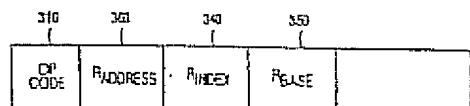




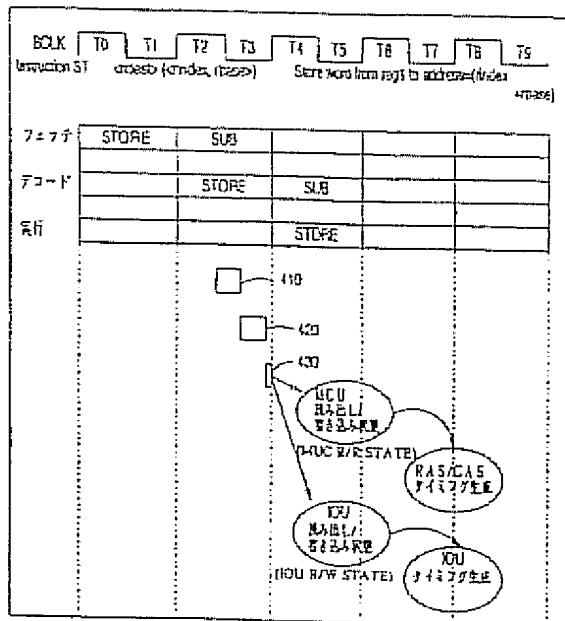
第 2 図



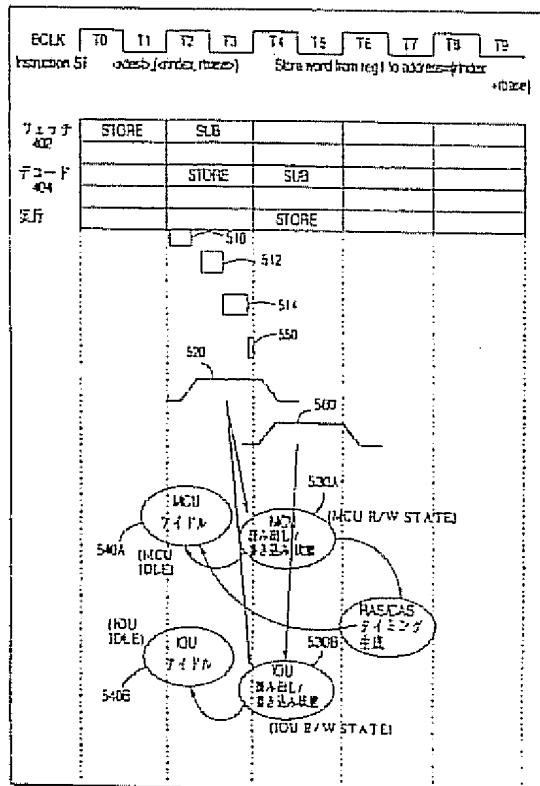
第 3 A 図



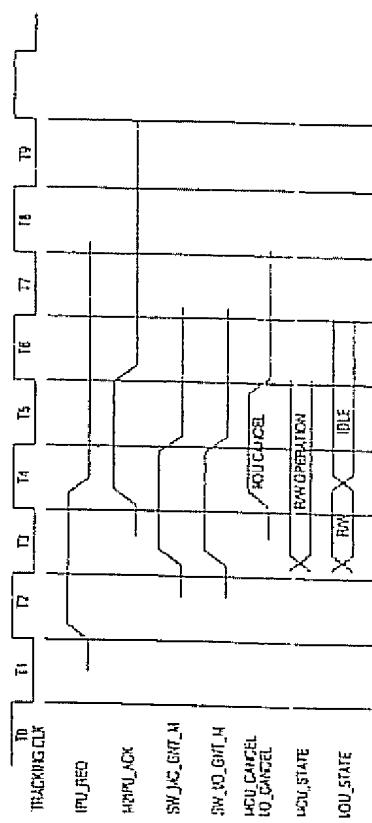
第 3 B 図



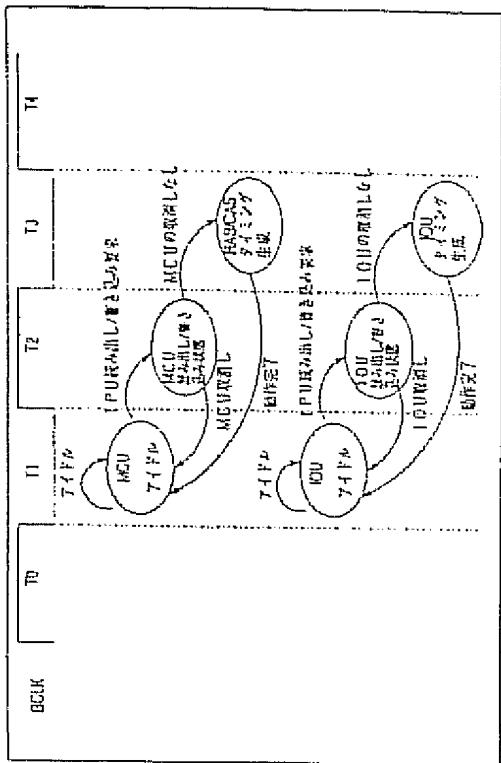
第 4 図



第 5 図



第 6 図



第7図

1. CLASSIFICATION OF DOCUMENT	
Int.Cl. 5 (IPC 68): G06F 17/11	
2. FILING NUMBER	
Document No.	Classification No.
Ext.CI. 5	G06F
3. PUBLICATION NUMBER AND DATE	
Document No. Date	
1. DE 318 320 (MEASURED CDR.) 11 June 1986 * abstract page 7, lines 13-22; page 8, line 8 - page 20, line 16 *	4,6,7
2. COMPUTER EDITION, vol. 21, no. 1, January 1991, LITTLETON, MASSACHUSETTS 01741, Page 151 - 164 J. P. ALTHOFF "Enter prediction performance via global memory" See the whole document	4,5,8
3. US-A-1 781 841 (CODECGR ET AL.) 20 October 1987 See the whole document	4,4,7,8
4. PUBLICATION	
11 MAY 1993	European Patent Office
5. INVENTOR	VIENEGG L.L.

Document No.	Date	Page No.	Page No.
EP-A-0 101 320	11-06-86	CA-1- 13102426	11-06-86
		JP-1- 41158547	11-07-86
		US-1- 7757439	12-07-86
US-A-1 781 841	20-10-87	None	